

CLIPPEDIMAGE= JP401272158A
PAT-NO: JP401272158A
DOCUMENT-IDENTIFIER: JP 01272158 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: October 31, 1989

INVENTOR-INFORMATION:

NAME

KENO, TAKUJI

TOMII, KAZUYUKI

MIYAMOTO, YASUNORI

KOMODA, TAKUYA

MAEDA, MITSUhide

SUZUKI, YUJI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC WORKS LTD

COUNTRY

N/A

APPL-NO: JP63100604

APPL-DATE: April 23, 1988

INT-CL (IPC): H01L029/74

US-CL-CURRENT: 438/FOR.140,257/136 ,438/133

ABSTRACT:

PURPOSE: To obtain a semiconductor device having a small leakage current and a short turn-off period with low degree of irregularity by a method wherein a buried region having the conductivity reverse to an anode region is provided at the position opposing to the cathode region in an anode region.

CONSTITUTION: A thyristor 1 is equipped with an anode region 2 provided on the rear surface of a semiconductor substrate 1a, a cathode region 4 provided on the surface, and a gate region 5, and a high specific resistance region 3 to be used as a current path, is provided between the anode region 2 and the cathode

region 4. On the thyristor 1, a buried region 6 with which the life of a charged carrier (a hole in this case) is provided on the position opposite to the cathode region 4 in the anode region 2. The buried region 6 in the impurity region of the conductivity reverse to that of the anode region 2. As a result, a hole is instantaneously vanished by the above-mentioned buried region 6 without increasing a leakage current, and the region 6 works to shorten the turn-off period. Moreover, as the density of impurities is in an excellently uniform state, the degree of irregularity in the turn-off period is small.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-272158

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月31日

H 01 L 29/74

M-7376-5F

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置およびその製法

⑮ 特 願 昭63-100604

⑯ 出 願 昭63(1988)4月23日

⑰ 発 明 者	毛 野	拓 治	大阪府門真市大字門真1048番地	松下電工株式会社内
⑰ 発 明 者	富 井	和 志	大阪府門真市大字門真1048番地	松下電工株式会社内
⑰ 発 明 者	宮 本	靖 典	大阪府門真市大字門真1048番地	松下電工株式会社内
⑰ 発 明 者	菰 田	卓 哉	大阪府門真市大字門真1048番地	松下電工株式会社内
⑰ 発 明 者	前 田	光 英	大阪府門真市大字門真1048番地	松下電工株式会社内
⑰ 発 明 者	鈴 木	裕 二	大阪府門真市大字門真1048番地	松下電工株式会社内
⑱ 出 願 人	松下電工株式会社		大阪府門真市大字門真1048番地	
⑲ 代 理 人	弁理士 松本 武彦			

明 細 書

1. 発明の名称

半導体装置およびその製法

2. 特許請求の範囲

1 半導体基板の一側にアノード領域を、他側にカソード領域を備え、両領域の間に電流通路となる高比抵抗領域を備えている半導体装置において、前記アノード領域におけるカソード領域と相對する位置に、同アノード領域と逆導電型の埋め込み領域が設けられていることを特徴とする半導体装置。

2 半導体基板の一側にアノード領域を、他側にカソード領域を備え、両領域の間に電流通路となる高比抵抗領域を備えている半導体装置を製造する方法において、前記アノード領域の全厚みのうち一部の厚みを有する半導体基板を用い、前記カソード領域と相對する箇所に逆導電型の不純物領域を形成した後、前記アノード領域の残りの厚み分を積層する工程を含むことを特徴とする半導体装置の製法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置およびその製法に関する

(従来の技術)

半導体装置として、静電誘導サイリスタや絶縁ゲート型バイポーラトランジスタ(IGBT)のように、アノード領域とカソード領域の間に、アノード領域と逆導電型の高比抵抗領域を備え、同高比抵抗領域を流れる電流がゲート電極に印加される電圧に応じて制御され、電子と正孔の両方の荷電担体がキャリアとなっている装置がある。例えば、静電誘導サイリスタは、第3図にみるような構成である。

静電誘導サイリスタ20は、アノード領域21とカソード領域23の間に高比抵抗領域(ベース領域)22を備え、カソード領域23の近傍にゲート領域24を備えている。もちろん各領域21、23、24には電極21'、23'、24'が、それぞれ設けられている。この静電誘導サイリ

スタ20は、電流密度が大きく、かつ、順方向電圧降下(オン抵抗)が小さく、しかも、ターンオン時間が短いという特徴を有する。しかしながら、遮断時は、アノード側から注入される正孔を瞬時に断てないため、ターンオフ時間が、例えば、MOSFET等と比べて長い(通常、数 μ s～数十 μ s程度)という問題がある。

従来、ターンオフ時間を短くするために、高比抵抗領域内に電子線やプロトン照射して格子欠陥領域を形成したり、金や白金等の重金属を拡散してライフタイムキラー領域を形成したりすることが行われている。格子欠陥領域やライフタイムキラー領域はターンオフ時にアノード側から注入されてくる正孔を直ちに消滅させるため、ターンオフ時間が短くなる。

(発明が解決しようとする課題)

しかしながら、前記の格子欠陥領域の形成やライフタイムキラー領域の形成は、逆方向リーク電流の増加という半導体装置の性能低下を伴う。

しかも、電子線やプロトンの照射による格子欠

陥領域の形成や重金属の拡散によるライフタイムキラー領域の形成は、その欠陥濃度や重金属濃度を一定に揃えることが難しいために、ターンオフ時間のバラツキが大きい。

この発明は、上記事情に鑑み、リーク電流が少なく、しかも、短くてバラツキの少ないターンオフ時間を有する半導体装置とその製法を提供することを課題とする。

(課題を解決するための手段)

前記課題を解決するため、請求項1記載の半導体装置は、半導体基板の一侧にアノード領域を、他側にカソード領域を備え、両領域の間に電流通路となる高比抵抗領域を備えている構成において、前記アノード領域におけるカソード領域と相対する位置に、同アノード領域と逆導電型の埋め込み領域を設けるようにしている。

請求項2に記載の半導体装置の製法では、アノード領域の全厚みのうち一部の厚みを有する半導体基板を用い、カソード領域と相対する個所に逆導電型の不純物領域を形成した後、前記アノード

領域の残りの厚み分を積層する工程を含むようにしている。

(作 用)

請求項1記載の半導体装置は、アノード領域において、ターンオフ時に荷電担体(例えば、正孔)が多く残るカソード領域に相対する位置に、逆導電型の埋め込み領域があり、ターンオフ時、同埋め込み領域がアノード領域内での正孔の再結合が効果的に促進されるなどして、正孔は極めて短い間に消滅してしまう。しかも、基板内には、リーク電流の増加を伴う格子欠陥領域や重金属の拡散領域がなく、あるのは、精度良く不純物濃度制御ができる逆導電型の埋め込み不純物領域だけである。

請求項2記載の発明では、アノード領域の全厚みのうち一部の厚み分を有する基板の、カソード領域に相対する個所に逆導電型の不純物領域を形成し、ついで、アノード領域の残りの厚み分を積層している。残りの厚み分の積層により、不純物領域が埋め込まれるので、埋め込み領域がアノード

領域内に形成される。

埋め込み領域の形成は、不純物拡散と半導体層の積層(例えば、エピタキシャル成長)等、半導体装置の製法で極く普通に用いられている工程であり、しかも、不純物拡散領域での不純物濃度の制御は、格子欠陥密度や重金属濃度の制御に比べて容易である。

さらに、この請求項2記載の発明では、埋め込み領域形成用の不純物拡散は浅く拡散時間が短くてすむ。不純物領域の埋め込みをアノード領域の残りの厚み分の積層により行うからである。拡散時間が短い場合は、拡散時間が長い場合に比べて、完成した不純物領域自体のバラツキが少ない。領域のディメンジョンや不純物濃度が良く揃うのである。

(実施例)

以下、この発明にかかる半導体装置およびその製法を、その一実施例をあらわす図面を参照しながら、装置、続いて製法という順で説明する。

第1図は、請求項1記載の半導体装置の一例で

ある静電誘導サイリスタ（以下、「サイリスタ」という）をあらわす。

サイリスタ1は、半導体基板1aの裏面（一侧）に設けられたアノード領域2と、この基板1aの表面（他側）に設けられたカソード領域4およびゲート領域5とを備えている。電流通路となる高比抵抗領域3はアノード領域2とカソード領域4の間に設けられている。この高比抵抗領域（ベース領域とも称される）3は真性半導体層であってもよいことはいうまでもない。アノード領域2にはアノード電極2'が、カソード領域4にはカソード電極4'が、ゲート領域5にはゲート電極5'が、それぞれ設けられている。このサイリスタ1では、ゲート電極5'に印加される電圧を調節することにより、高比抵抗領域3を制御（いわゆる電導変調）して、導通・遮断動作がなされる。

サイリスタ1では、荷電担体（この場合は正孔）寿命を縮める埋め込み領域6が、アノード領域2におけるカソード領域4と相対する位置に設け

られている。同埋め込み領域6は、アノード領域2と逆導電型の不純物領域である。そのため、この埋め込み領域6がリーク電流の増加を伴わずに、正孔を瞬時にして消滅させ、ターンオフ時間を縮める作用をすることは、上で説明した通りである。しかも、不純物濃度は良く一定に揃っているため、ターンオフ時間のバラツキも少ない。

続いて、請求項2記載の半導体装置の製法の一例によるサイリスタ製造について説明する。

まず、第2図(a)にみるように、P層の上にN⁺層がある半導体基板10を準備する。P層はアノード領域の一部の厚み分である。一方、N⁺層は高比抵抗領域となるが、もちろん、ゲート領域およびカソード領域が形成される。請求項2記載の発明では、半導体基板として、このように、アノード領域の全厚みのうち一部の厚みを有するものを用いて製造を行うようにする。

ついで、N⁺層表面にマスク（図示省略）を設け、不純物を選択拡散することにより、第2図(b)に示すように、ゲート領域5を形成する。ゲート

領域5形成後、第2図(c)にみるように、N⁺層表面のSiO₂膜にカソード領域形成用の不純物を拡散するための窓12を明け、一方、P層表面のSiO₂膜には埋め込み領域形成用の不純物を拡散するための窓14を明ける。窓14は窓12の直下にあるように明けられる。つまり、窓12を備えたマスク11と窓14を備えたマスク13を形成するのである。

マスク11、13を形成した後、N型用の不純物を注入拡散する。そうすると、第2図(d)にみるように、N⁺型不純物領域ができる。窓12に形成されたN⁺領域はカソード領域4であり、窓14に形成されたN⁺領域6'は埋め込み領域になる。N⁺領域6'は、丁度、カソード領域4に相対する位置にある。窓14が窓12の直下にあったからである。

裏面のマスク13をエッチング除去した後、P層の上にC_{50B} = 10¹⁷cm⁻³以上の濃度でP⁺層を積層する。そうすると、第2図(e)にみるように、アノード領域2と埋め込み領域6が完成するこ

ととなる。

最終的には、第1図のサイリスタ1と同様、各電極を形成してサイリスタを完成させるようにする。

このようにして、前記の利点を有するサイリスタを作成することができるのである。

上に説明した製法の一例では、マスク11、13を形成する際の窓12、14が明く箇所以外のところを覆うレジストを両SiO₂膜上に形成するまでは、個別の作業で行うが、それ以後、SiO₂膜をエッチングして窓12、14を明けたり、窓12、14に不純物領域を形成したりするのは同時に行える。したがって、作業としては、P層表面のマスク13形成用のパターン化レジストを設ける作業と、P⁺層をエピタキシャル成長させる作業が増える程度である。

なお、第1図および第2図(f)では、便宜上、図面ではアノード領域2全体をP⁺層として表しているが、高比抵抗領域3寄りでは厳密にはP層である。先に形成したアノード領域の一部厚み分が

P層であるからである。アノード領域2の先に形成した一部厚みを、後で積むP⁺層よりも少し不純物濃度が低いP層にするのは、先のP層で、もし不純物濃度が余り高いと、N型用不純物を拡散しても、P型不純物で帳消しされる量が多くなり、N⁺領域に変えるのが難しい場合があるためである。もちろん、先に形成するアノード領域の一部厚み分がP⁺層であってもよい。また、逆に、後に積まれるアノード領域の残り分がP層であってもよい。

この発明は上記実施例に限らない。例えば、サイリスタが、第1図に示すような表面ゲート型でなく、いわゆる埋め込みゲート型等の他の構造のものであってもよい。半導体装置も、絶縁ゲート型バイポーラトランジスタ等の他の種類の半導体装置であってもよい。なお、トランジスタの場合は、通常、カソード領域はソース領域と、アノード領域はドレイン領域と称される。

(発明の効果)

上記で説明した請求項1記載の半導体装置は、

以下の効果を奏する。

ターンオフ動作の際、荷電担体が多く残るカソード領域に相対する位置に、逆導電型の埋め込み層があり、同埋め込み層が荷電担体の再結合を促進するなどして瞬時に消滅させるため、ターンオフ時間が短い。

格子欠陥領域やライフタイムキラー領域がないため、リーク電流が少ない。

埋め込み領域の不純物濃度は比較的良く揃うため、ターンオフ時間のバラツキが少ない。

請求項2記載の発明は、上記の効果を有する半導体装置を得ることができる他に、下記のような効果がある。

埋め込み領域形成に必要な工程が、不純物の拡散や半導体層の積層等、半導体製造で極く普通に用いられる工程ばかりであるから、半導体装置の製造は容易である。

埋め込み領域形成の際の不純物拡散は浅く行うだけであるから、埋め込み領域自体のバラツキが少なく、一層、ターンオフ時間のバラツキが少な

くなる。

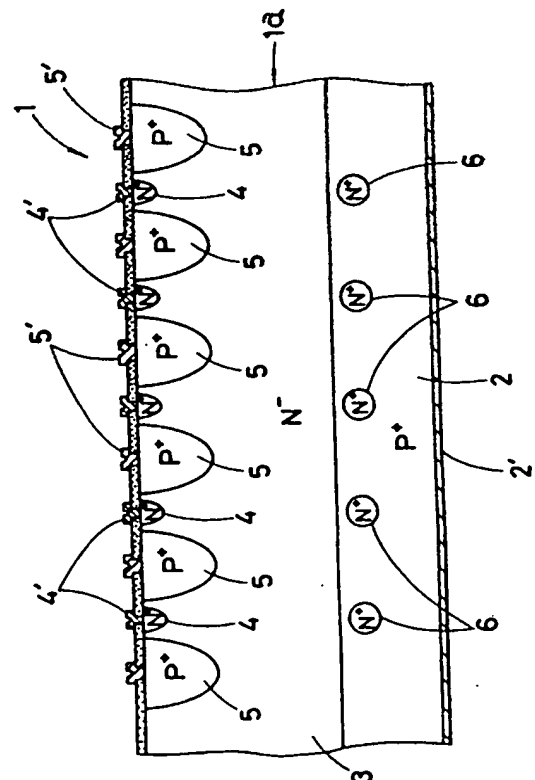
4. 図面の簡単な説明

第1図は、請求項1記載の発明の半導体装置の一例のサイリスタをあらわす縦断面図、第2図(a)~(d)は、このサイリスタを請求項2記載の発明の半導体装置の製法の一例により製造するときの様子を工程順にあらわす縦断面図、第3図は、サイリスタの基本構成をあらわす縦断面図である。

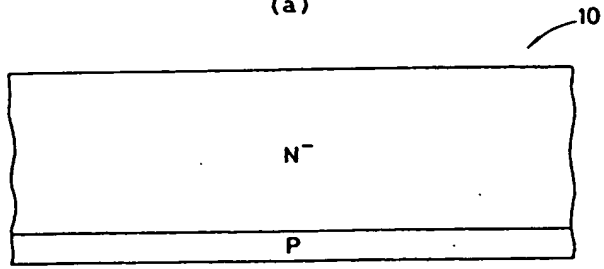
1…サイリスタ(半導体装置) 1a…半導体基板 2…アノード領域 3…高比抵抗領域 4…カソード領域 6…埋め込み領域 10…アノード領域の全厚みのうち一部の厚みを有する半導体基板

代理人 弁理士 松本武彦

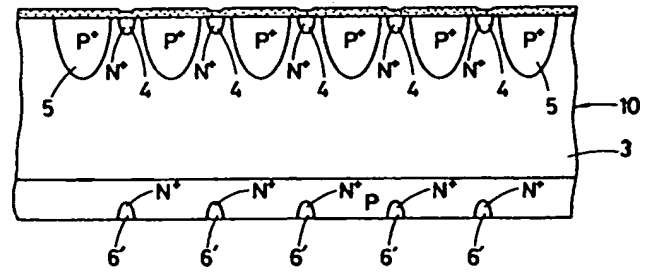
図1 概



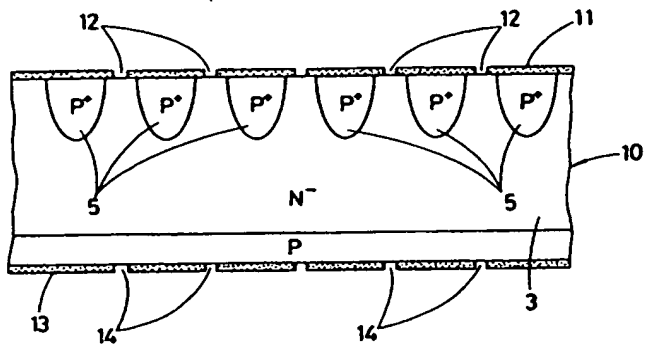
第 2 図
(a)



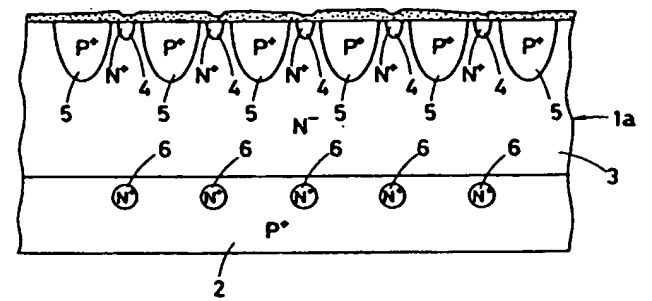
第 2 図
(c)



(b)



(d)



第 3 図

